

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-141417

(P2002-141417A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl.  
H 01 L 21/822  
21/3205  
21/768  
27/04

識別記号

F I  
H 01 L 27/04  
21/88  
21/90

テマコード\* (参考)  
C 5 F 0 3 3  
S 5 F 0 3 8  
B

審査請求 未請求 請求項の数10 OL 外国語出願 (全24頁)

(21) 出願番号 特願2001-262599(P2001-262599)  
(22) 出願日 平成13年8月31日 (2001.8.31)  
(31) 優先権主張番号 09/653295  
(32) 優先日 平成12年8月31日 (2000.8.31)  
(33) 優先権主張国 米国 (US)

(71) 出願人 301030605  
アギア システムズ ガーディアン コーポレーション  
Agere Systems Guardian Corporation  
アメリカ合衆国, 32819-8698 フロリダ,  
オーランド, サウス ジョン ヤング バークウェイ 9333  
(74) 代理人 100064447  
弁理士 岡部 正夫 (外11名)

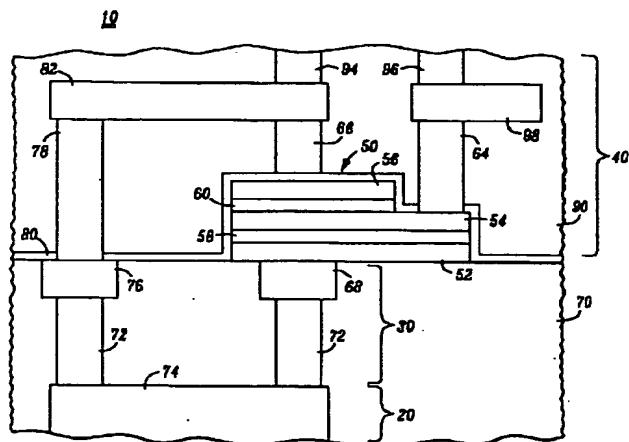
最終頁に続く

(54) 【発明の名称】 並列キャパシタの積層構造と製造方法

(57) 【要約】 (修正有)

【課題】 大容量を得るために、別々の金属レベルに形成されたキャパシタが並列回路に接続され、キャパシタプレート間の誘電体層の厚さを減じた並列キャパシタの積層構造と製造方法を提供する。

【解決手段】 半導体デバイスは半導体層への接続のため、第1と第2のメタライゼーションレベルの相互接続導電体20, 30, 40を含む。導電体層と絶縁層との交互の積層構造は、下のプレートに対して、垂直に位置合せされる。第1と第2のレベルの導電体間に形成された積層構造50は、第1の導電体52、第1の導電体上に形成された第1の絶縁体層58、第1の絶縁体上に形成された第2の導電体層54、第2の導電体層上に形成された第2の絶縁体層60及び第2の絶縁体層上に形成された第3の導電体層を含み、第1及び第3の導電体層は共通に接続される。



1

## 【特許請求の範囲】

【請求項1】 半導体層への接続のための少くとも第1及び第2のレベルの相互接続導電体；及び第1の導電体層、  
第1の導電体層上に形成された第1の絶縁体層、  
第1の絶縁体層上に形成された第2の導電体層、  
第2の導電体層上に形成された第2の絶縁体層、及び第2の絶縁体層上に形成された第3の導電体層、を含み、  
第1及び第3の導電体層は共通に接続された下の平面に對して位置合せて、第1及び第2のレベルの導電体間に形成された導電体層及び絶縁体層の交互の層の積層構造を含む半導体デバイス。

【請求項2】 第1及び第3の導電体層は第1及び第2のレベルの相互接続導電体を通して共通に接続されている請求項1記載のデバイス。

【請求項3】 第1、第2及び第3のレベルの相互接続を通して、第1及び第2の導電体層と共に接続された第3のレベルの相互接続導電体を更に含む請求項1記載のデバイス。

【請求項4】 第1及び第3の導電体層を接続する導電体は、ダマシン構造の貫通部及びトレンチ部を含む請求項1記載のデバイス。

【請求項5】 導電体層と絶縁体層の交互の積層構造は、第1及び第3の導電体層と共に接続された最上部導電体層を形成するため、第3の導電体層上に形成された1ないし複数の対の追加された導電体層及び絶縁体層を含む請求項1記載のデバイス。

【請求項6】 積層構造は並列に接続された4つのキャパシタを作るよう構成された5つの導電体層を含む請求項5記載のデバイス。

【請求項7】 第1の絶縁体層を形成する工程；第1の絶縁体層上に第1の導電性ランナを形成する工程；第1の導電性ランナ上に第2の導電性ランナを形成する工程；第1の導電性ランナと第2の導電性ランナの間に、導電体層と絶縁体層の交互の積層構造を形成する工程；及び最上部の導電体層中に開口をエッチングし、開口は隣接した誘電体層を貫いて、第1の下の導電体層まで延びる工程を含むキャパシタ構造を有する半導体デバイスの作製方法。

【請求項8】 最上部の導電体層を第1の下の導電体層下の導電体層と接続する工程を更に含む請求項7記載の方法。

【請求項9】 積層構造は第1、第2及び第3の導電体層を堆積させることにより形成され、最上部導電体層の接続工程は、第1の導電体層を第3の導電体層に接続することを含む請求項8記載の方法。

【請求項10】 積層構造は層間誘電体層により相互に分離された第1、第2、第3、第4及び第5の導電体層を順次堆積させることにより形成され、最上部層の接続工程は、第1、第3及び第5の層を共通に接続すること

2

を含む請求項8記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体デバイス、より具体的には、半導体層上のメタライゼーションレベルに形成されたキャパシタ構造を有するデバイスに関する。

## 【0002】

【従来の技術、及び発明が解決しようとする課題】 半導体集積プロセスの水準が進展するとともに、技術の向上は形状寸法を減すこと、能動デバイスの配置とともに、メタライゼーションの高密度化に、主に焦点を向けてきた。

しかし、多くの場合、受動デバイスについての面積減少の要求は、能動デバイス及びメタライゼーションの形状寸法の減少とは、歩調が異っていた。たとえば、抵抗に必要な配置面積は、主にシート抵抗により決っている。キャパシタ回路の物理的な寸法は、いくつかの要因により、制限されている。その中には、間にはさまれる誘電体の厚さとともに、キャパシタプレートの必要な面積が含まれる。すなわち、誘電体の厚さが減少するにつれ、容量は増し、キャパシタは面積を使わなくなる。一般に、抵抗及びキャパシタのレイアウト面積の減少は、主に材料の選択によると考えられてきた。新材料の開発にのみ依存しない受動構造の面積が更に減せるよう、方法と設計をつけ加える必要がある。具体的には、キャパシタの面積を更に減すことにより、デジタル及びアナログ回路の両方で集積度を更に上ることが可能になる。

面積を増すことなく、容量を増す従来の努力は、半導体領域の上を使い、その場合効果は別々の金属レベル上に複数のキャパシタを形成し、それらを並列に接続することによって得られる。

【0003】 従来、回路の要件にあわせる目的で、増大した容量を得るために、別々の金属レベルに形成されたキャパシタは、並列回路に接続されてきた。大容量を達成する別の手段は、キャパシタプレート間の誘電体層の厚さを減すことであった。

## 【0004】

【課題を解決する手段】 本発明の実施例に従うと、半導体デバイスは半導体層への接続のため、第1及び第2のレベルの相互接続導電体を含む。導電体層と絶縁層との交互の積層構造は、下のプレートに対して、垂直に位置合せされる。第1及び第2のレベルの導電体間に形成された積層構造は、第1の導電体、第1の導電体上に形成された第1の絶縁体層、第1の絶縁体上に形成された第2の導電体層、第2の導電体層上に形成された第2の絶縁体層及び第2の絶縁体層上に形成された第3の導電体層を含む。第1及び第3の導電体層は共通に接続される。

【0005】 キャパシタ構造を有する半導体デバイスの付随した作製方法に従うと、一実施例は第1の絶縁体層

上に第1の導電性ランナを形成すること及び第1の導電性ランナ上に、第2の導電性ランナを形成することを含む。導電体及び絶縁体層の交互の積層構造は、第1の導電性ランナと第2の導電性ランナの間に形成され、導電体層の最上部中に開口がエッチングされる。開口は隣接した誘電体層を貫き、下の第1の導電体層まで延びる。

【0006】

【発明の実施の形態】図面を通して、同様の参照数字は同様の要素をさす。一方、図面に示された各種の要素は、相対的な比率が実際と異なることに、注意すべきである。

【0007】図1を参照しながら、本発明について3つのレベルのメタライゼーション中に形成されたキャパシタ構造の例の形成と接続に関して述べる。メタライゼーション構造中の本発明の詳細を述べるために、集積回路構造(10)の一部が、一部断面で示されている。メタライゼーション構造は典型的な場合、その表面中に複数のトランジスタを有する半導体層(図示されていない)上に、形成される。この実施例において、A1又はCuランナのような金属相互接続の上部のいくつかのレベルは、デュアルダマシン作製プロセスに従って、半導体層上に形成される。具体的には、集積回路構造(10)の一部は、図1中で順次形成された3つのレベルのメタライゼーション(20, 30)及び(40)を含むように、図1に示されている。1ないし複数のメタライゼーションをレベル(20)の下に追加して形成してもよく、1ないし複数のメタライゼーションを、レベル(40)上に追加して形成してもよい。一般に、各レベルの金属ランナは、レベル(20)に沿って線(42)により示されるような平面に沿って形成される。本発明を説明するため、キャパシタ構造(50)はメタライゼーションの示されたレベルの中で、導電体に接続されている。キャパシタ構造(50)は平面(42)又は上に構造が形成される表面のような下の平面に対して、垂直に位置合せされて形成された導電体と絶縁体の交互の層を含む。構造は2つのキャパシタを並列にするため、ワイヤ接続される。2つの導電体層(52, 54)及び(56)は、2つの間にはさまれた誘電体層により、相互に絶縁されている。一方の誘電体層(58)は導電体(52)及び(54)間に形成され、他方の誘電体層(60)は導電体層(54)及び(56)間に形成される。

【0008】示された構造(50)中で、導電体層(54)は層(52)及び(58)とともに形成された第1のキャパシタと、層(56)及び(60)とともに形成された第2のキャパシタに共通のキャパシタプレートである。メタライゼーションレベル(40)の貫通部(64)は、両方のキャパシタへの共通の端子となるよう、導電体層(54)に接触する。メタライゼーションレベル(40)のもう1つの貫通部(66)は、層(54, 56)及び(60)により形成されるキャパシタへの第

2の端子となるよう、導電体層(56)と接続を作る。メタライゼーションレベル(30)の導電体部分(68)は、層(52, 54)及び(58)により形成されるキャパシタへの第2の接続を作るため、導電体プレート層(52)への接続を作る。

【0009】メタライゼーションレベル(30)中の貫通部(72)は、導電性ランナ部分(68)をメタライゼーションレベル(20)中の導電性ランナ(74)に接続する。導電性ランナ(74)は別の貫通部(72)を通して、レベル(30)の導電性ランナ部分(76)に接続されている。レベル(40)の貫通部(78)は導電性ランナ部分(76)をレベル(40)の導電性ランナ(82)に接続し、貫通部(66)を通して、キャパシタ導電体(56)に接触する効果を持たせている。(メタライゼーションの上のレベルに付随した)貫通部(94)は、プレート(52)及び(56)を図示されていない他の回路に接続している。あるいは、この接続はレベル(20)の導電性ランナ(74)を通して、下のレベルのメタライゼーションにことができる。(やはりメタライゼーションの上のレベルに付随した)貫通部(96)はレベル(40)の導電性ランナ(98)を通して、共通のプレートを図示されていない他の回路に接続する。

【0010】中にキャパシタ(50)の例が形成されるダマシン構造は、良く知られており、簡単に述べるだけにする。一般に、実施例において、メタライゼーションの各レベルは、図2の層(70)のような誘電体層を最初に堆積させて形成する。メタライゼーションのレベル(20)はキャパシタ構造(50)の形成前に、完了する。誘電体材料の層(70)は典型的な場合、多層に形成され、シリコン窒化物のようなエッチング停止を有し、化学機械研磨(CMP)により、平坦化される。Cu導電線の所望の形態がパターン形成され、誘電体材料中にエッチングされ、その中にトレンチ状の開口が形成される。その後開口中に堆積させる銅の移動を防止するため、Ta、TaN又はTiNのような導電体障壁材料(図示されていない)を、エッチングされた開口の壁に沿って堆積させる。障壁金属は化学気相堆積(CVD)又は物理的気相堆積(PVD)で形成してよい。

【0011】Cuの堆積は最初障壁材料上にシード層を堆積させ、続いて開口を満すため、(たとえば硫酸銅から)Cuを電解メッキさせる。図示されたレベル(20)のようなデュアルダマシン構造の場合、貫通部(メタライゼーションの異なるレベル間を接続する)及び導電体部(メタライゼーションのレベル内に導電性ランナを形成する)の両方が順次パターン形成及びエッチングされ、続いて障壁層材料の堆積、シート層の堆積及びCuの電解堆積が行われ、貫通部及び開口の導電体部分を完全に満す。Cu堆積後、微細構造を安定化するため、アニールを施す。誘電体層(70)の表面から、余分の

銅及び障壁金属を除去するため、構造を研磨する。メタライゼーションの最後の銅層が不活性化され、パッケージとアセンブリのため構造の準備ができるまで、メタライゼーションの各レベルに対し、この工程がくり返される。

【0012】デュアルダマシンレベル(20)が完成したら、導電体の層(52, 54)及び(56)と層間誘電体層(58)及び(60)を堆積させる。図3を参照のこと。導電体層(52, 54, 56)はスパッタTa<sub>a</sub>、TaN又はTiNで形成してよい。これらの層は物理的気相堆積(PVD)又は化学気相堆積(CVD)により堆積してよい。導電体層(52)は拡散障壁を作り、導電体層(52)と下の誘電体層(70)との適切な固定性を確実にするため、Ti/TiN又はTa/TaN積層から成るのが好ましい。たとえば、約20nmのTi及び約40nmのTiNを有するTi/TiN積層は、400°Cにおける連続スパッタ及びそれに続くアニールで堆積してよい。層(54)及び(56)も指定された材料のスパッタ技術により、堆積してもよい。しかし、各種の他の導電体材料も適している。誘電体層(58)及び(60)はCVDで堆積させたシリコン酸化物でよい。酸化物はシランから形成してよい。あるいは、誘電体層(58)及び(60)はTaO<sub>5</sub>で形成してよい。他の絶縁性材料は、所望の誘電定数及び最小漏れ電流に関する要求に基いて、選んでよい。

【0013】図4及び5を参照すると、最上部導電体層(56)はパターン形成され、その一部を除去するためエッティングし、下の層(54)への電気的接続をするため、開口(88)の形成が始まる。層(54)への接続のため、開口(88)が層(56)を貫いて形成された後、層(52, 54, 56, 58)及び(66)のすべてがパターン形成され、キャパシタ構造(50)全体を規定するため、垂直に位置合せして、エッティングされる。すなわち、エッティングは面(42)又は上に構造(50)が形成される誘電体層(70)の表面に沿った面のような下の面に対し、垂直方向に位置合せされた層を規定する。次に、図6を参照すると、誘電体層(70)とともに、層(52, 54, 56, 58)及び(60)の露出された部分及びメタライゼーションレベル(20)中のCuの露出された領域上に堆積されたシリコン窒化物の60nmの障壁層(80)が示されている。

【0014】図6を参照すると、シリコン酸化物の高密度プラズマ(HDP)のような適合堆積により、構造(10)上に別の誘電体層(90)が形成されている。誘電体層(90)はCMPか金属トポグラフィ除去(MTR)により平坦化され、その場合低い領域上へのフォトレジストの堆積と標準的なエッティングが続く。メタライゼーションレベル(40)の形成の準備ができた平坦化された構造が、図7に示されている。

【0015】次に、メタライゼーションレベル(40)の貫通部(64)及び(66)と導電体部分(82)及び(98)が、図1に示されるように、誘電体層(90)中に形成される。

【0016】キャパシタ構造(50)は図8に示されるように、2つのレベルの相互接続導電体で、回路構造(10)と接続してもよい。下部導電体レベル(30)はランナ部分(124)を含み、下部プレート(52)とレベル(40)の貫通部(92)間の接続をする。他の接続は、図1に関して述べたのと同様である。

【0017】本発明の他の実施例において、3個、4個及びそれ以上のキャパシタの積層構造が、2つのレベルの導電体間に形成されたそのような積層構造の並列接続で、作製できる。図9を参照すると、この図はキャパシタ誘電体を形成するための層(120)の対間に配置された層間誘電体層(124)とともに順次堆積させた5つの誘電体層(122)の積層を示す。個々の層(122)への接続は、貫通部(126)及び導電性ランナ(120, 123, 124)を通して作られ、並列に接続された4つのキャパシタを構成する。

【0018】デュアルダマシン実施例中に示された原理はまた、従来の金属エッティング除去プロセス中のA1の相互接続にも容易に適用できる。図10を参照すると、キャパシタ誘電体を作るため、層の対(252, 254)及び(254, 256)間に配置された2つの層間誘電体層(262)とともに、3つの順次形成された金属層(252, 254, 256)を含むキャパシタ構造(250)が示されている。構造(250)は2つの並列なキャパシタを構成するよう接続されている。最下部

30 層レベル(252)は固定性をもたせ拡散障壁となるTi/TiNの下の層とともに、A1-Cu合金を含むA1相互接続のレベル(270)中のランナでよい。レベル(270)は誘電体層(272)上に形成される。層(254)及び(256)は堆積させたTiNでよい。A1相互接続の第2のレベル(280)は、誘電体層(284)中の構造(250)上に形成される。接触(286)はレベル(280)中の2つのランナ(290)及び(292)と接続された並列のキャパシタを形成するため、層間誘電体層(288)を貫いて延びる。40 あるいは、キャパシタ構造(250)の全ての層は、垂直に位置合せして形成してよく、レベル(270)下の金属ランナ(図示されていない)への接続を通して作られたランナ(290)及び層(252)間の接続を有する。

【0019】集積回路中に高密度にキャパシタ構造を形成するのに有用なアーキテクチャについて、述べてきた。開示された設計及び作製方法は、キャパシタを用いるメモリ回路及び容量の大きな値を要求するアナログ回路を含む各種のデジタル及びアナログ回路に応用できる。ここで示した具体的な金属及び絶縁体材料は例である。

7

り、並列キャパシタを構成するために示した具体的な相互接続パターンも例である。しかし、ここで述べた原理は、化合物構造のような他の材料で形成される構造を含む各種の回路構造に対し、各種の方法で本発明を実施するまでの基本となる。当業者には多くの変形が明らかであろう。ここでは明らかに述べてはいないが、他の構成は特許請求の範囲によってのみ限定される本発明の視野から離れていない。

【図面の簡単な説明】

【図1】本発明の一実施例の部分的な断面図である。

【図2】図1の実施例を形成する作製工程を示す図である。

【図3】図1の実施例を形成する作製工程を示す図である。

【図4】図1の実施例を形成する作製工程を示す図である。

【図5】図1の実施例を形成する作製工程を示す図である。

【図6】図1の実施例を形成する作製工程を示す図である。

【図7】図1の実施例を形成する作製工程を示す図である。

【図8】本発明の別の好ましい実施例を示す図である。

【図9】本発明のもう1つの別の実施例を示す図である。

【図10】本発明の更に別の実施例を示す図である。

【符号の説明】

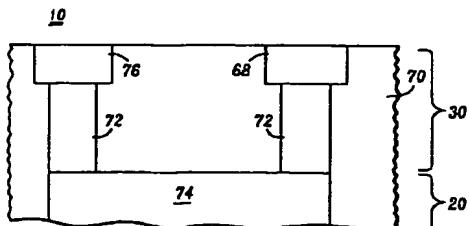
10 構造  
20 レベル、メタライゼーション  
30 メタライゼーション  
40 レベル、メタライゼーション  
42 線、平面  
50 構造、キャパシタ

8

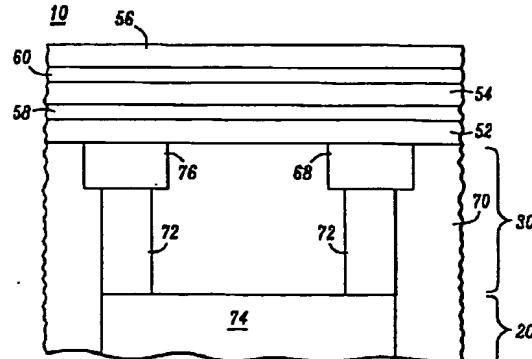
\* 5 2 導電体層、導電体、層、プレート、プレート層  
5 4 導電体層、導電体、層  
5 6 導電体層、層、プレート  
5 8 誘電体層、層  
6 0 誘電体層  
6 4, 6 6 貫通部  
6 8 導電体部分、導電性ランナ  
7 0 層、誘電体層  
7 2 貫通部  
10 7 4 導電性ランナ  
7 6 ランナ部  
7 8 貫通部  
8 0 障壁層  
8 2 導電性ランナ  
8 8 開口  
9 0 誘電体層  
9 2, 9 6 貫通部  
9 8 導電性ランナ  
20 1 2 0 層  
1 2 2 層、導電体層  
1 2 3, 1 2 4 導電性ランナ  
1 2 7 貫通部  
2 5 0 キャパシタ構造  
2 5 2, 2 5 4, 2 5 6 層、金属層  
2 6 2 層間誘電体層  
2 7 0 レベル  
2 7 2 誘電体層  
2 8 0 レベル  
2 8 4 誘電体層  
30 2 8 6 接触  
2 8 8 層間誘電体層  
2 9 0, 2 9 2 ランナ

\*

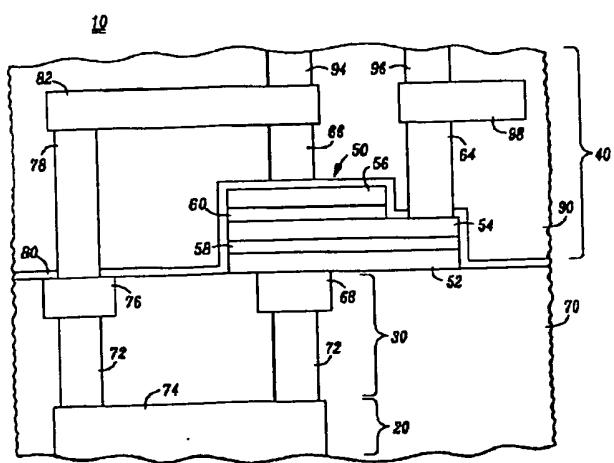
【図2】



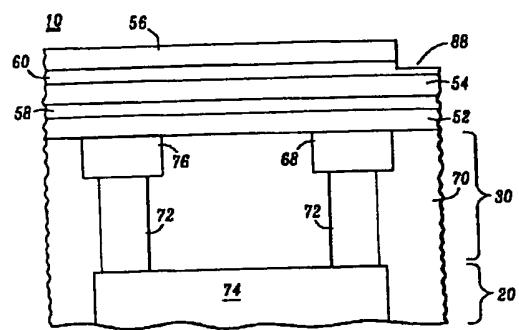
【図3】



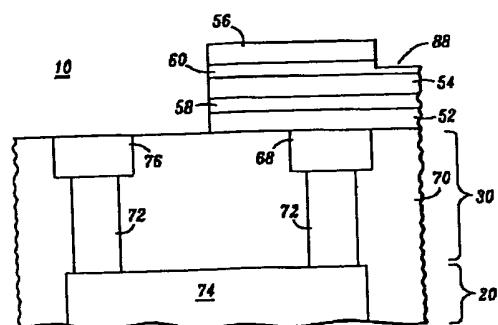
【図1】



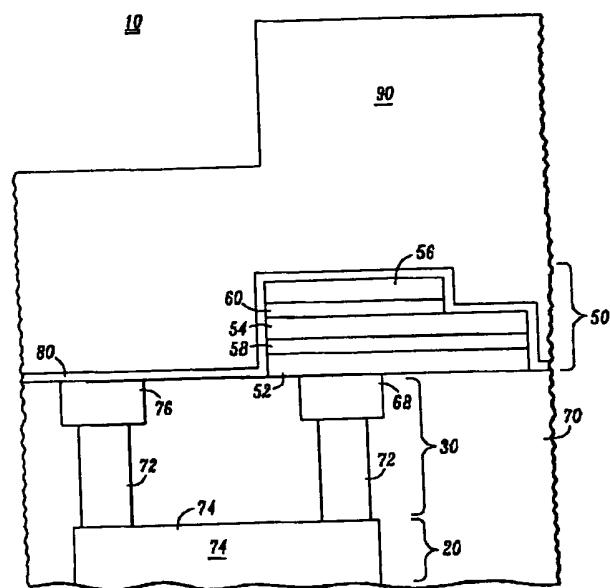
【図4】



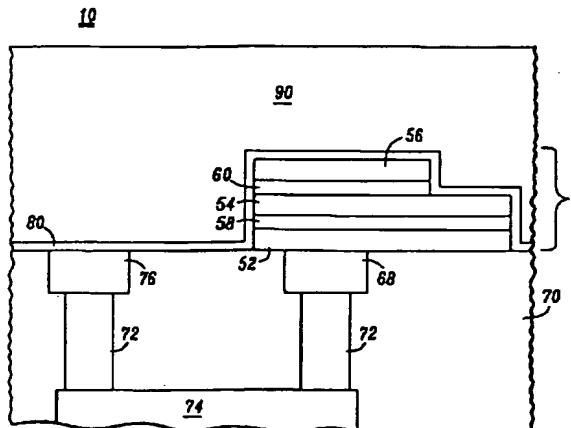
【図5】



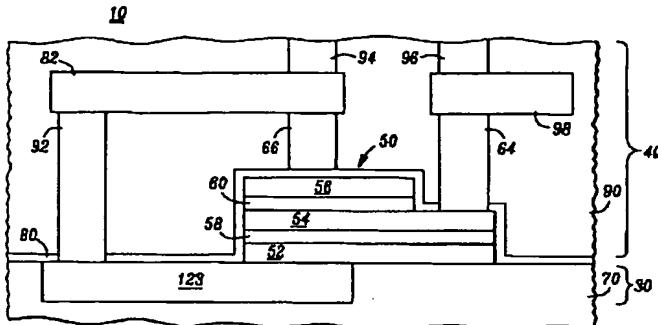
【図6】



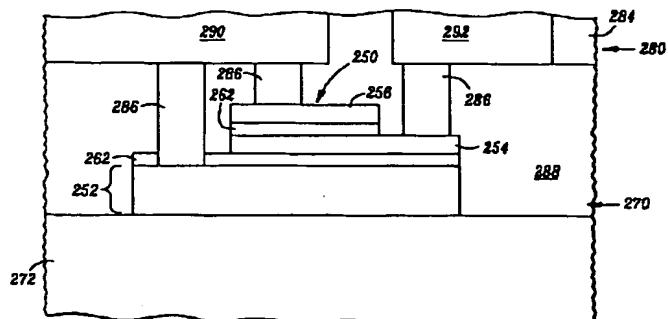
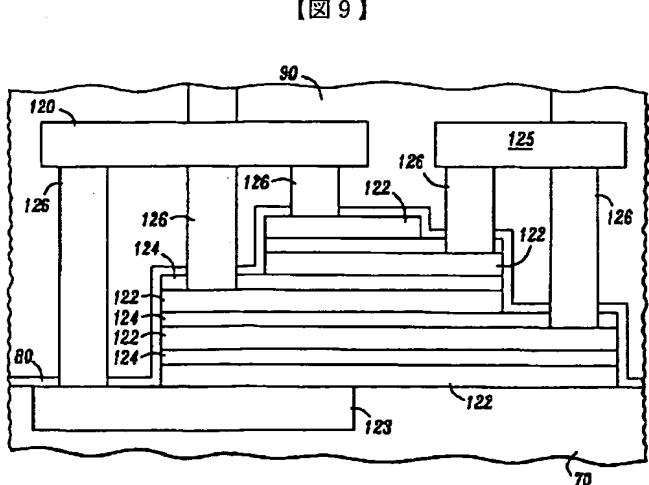
【図7】



【図8】



【図10】



## 【手続補正書】

【提出日】平成13年10月25日(2001.10.25)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】並列キャバシタの積層構造と製造方法

フロントページの続き

(72)発明者 フランク ヨウチー フイ  
アメリカ合衆国 32837 フロリダ, オーランド, フェアウェイ アイランド  
14013-アパートメント 434

(72)発明者 イーフェン ウィンストン ヤン  
アメリカ合衆国 32837 フロリダ, オーランド, ランヨン サークル 2491

(72)発明者 アレン イエン  
アメリカ合衆国 18106 ペンシルヴァニア  
ア, アレンタウン, フィールドストーン  
ストリート 1591

F ターム(参考) 5F033 HH08 HH11 HH21 HH32 HH33  
JJ01 JJ08 JJ11 JJ21 JJ32  
JJ33 KK08 KK11 KK21 KK32  
KK33 MM02 MM12 MM13 NN06  
NN07 PP06 PP15 PP27 QQ09  
QQ25 QQ48 RR03 RR04 RR06  
SS11 VV10  
5F038 AC05 AC10 AC16 EZ20

## 【外国語明細書】

## 1. Title of Invention

## Stacked Structure for Parallel Capacitors and Method of Fabrication

## 2. Claims

1. A semiconductor device comprising:
  - at least first and second levels of interconnect conductor for connection to a semiconductor layer; and
    - a stack of alternating conductive and insulative layers formed in vertical alignment with respect to an underlying plane and formed between the first and second levels of conductor, including
      - a first conductive layer,
      - a first insulator layer formed over the first conductive layer,
      - a second conductive layer formed over the first insulative layer ,
      - a second insulator layer formed over the second conductive layer,
    - and
      - a third conductive layer formed over the second insulative layer, with the first and third conductive layers commonly connected.
  2. The device of claim 1 wherein the first and third conductive layers are commonly connected through the first and second levels of interconnect conductor.
  3. The device of claim 1 further including a third level of interconnect conductor with the first and second conductor layers commonly connected through the first, second and third levels of interconnect conductor.
  4. The device of claim 1 wherein the conductors connecting the first and third conductive layers include via portions and trench portions of a Damascene structure.
  5. The device of claim 1 wherein the stack of alternating conductive and insulative layers includes one or more pairs of additional conductive and insulative layers formed over the third conductive layer providing an uppermost conductive layer commonly connected with the first and third conductive layers.
  6. The device of claim 5 wherein the stack comprises 5 conductive layers configured to provide 4 capacitors connected in parallel.
  7. A method for making a semiconductor device with a capacitor structure, comprising:
    - providing a first insulative layer;
    - forming a first conductive runner on the first insulative layer;

forming a second conductive runner above the first conductive runner;  
forming a stack of alternating conductor and dielectric layers between the first conductive runner and the second conductive runner; and  
etching an opening in an upper most of the conductive layers and extending the opening through an adjoining dielectric layer to a first underlying conductor layer.

8. The method of claim 7 further including the step of connecting the upper most of the conductive layers with a conductor layer below the first underlying conductor layer.

9. The method of claim 8 wherein the stack is formed by depositing first, second and third conductor layers and the step of connecting the uppermost conductor layer includes connecting the first conductor layer to the third conductor layer.

10. The method of claim 8 wherein the stack is formed by sequentially depositing first, second, third, fourth and fifth conductor layers separated from one another by intervening dielectric layers and the step of connecting the upper most layer includes connecting the first, third and fifth layers in common.

### 3. Detailed Description of Invention

#### Field of the Invention

The present invention relates to semiconductor devices and, more specifically, to devices having capacitor structures formed in metallization levels over a semiconductor layer.

#### Background of the Invention

As the level of semiconductor process integration has progressed, advances in the technology have been largely focused on reducing feature sizes and layout geometry of active devices as well as increasing the density of metallization. However, in many instances, reductions in the area requirements for passive devices have not kept pace with reduced feature sizes of active devices and metallization. For example, the layout area required for resistors is largely determined by the sheet resistance. The physical size of a capacitor network is limited by several factors, including the required area of the capacitor plates as well as the thickness of the intervening dielectric. That is, as dielectric thickness decreases the capacitance increases such that the capacitor becomes less area consuming. Generally, reduction in layout area for resistor and capacitor structures has been largely considered a function of material selection. There is a need to provide additional methods and designs so that further reductions in area requirements of passive structures will not depend solely on development of new materials. In particular, further reduction in area requirements for capacitors will enable further in the level of integration for both digital and analog circuitry. Prior efforts to increase capacitance without increasing area consumed over a semiconductor region where effected by forming multiple capacitors on separate metal levels and connecting these in parallel.

In the past, in order to provide increased capacitance to meet circuit requirements, capacitors formed on separate metal levels have been wired in parallel circuitry. Another means of achieving high capacitance has been reduction in the thickness of the dielectric layer between the capacitor plates.

Summary of the Invention

According to illustrated embodiments of the invention a semiconductor device includes first and second levels of interconnect conductor for connection to a semiconductor layer. A stack of alternating conductive and insulative layers is formed in vertical alignment with respect to an underlying plane. The stack, formed between the first and second levels of conductor, includes a first conductive layer, a first insulator layer formed over the first conductive layer, a second conductive layer formed over the first insulative layer, a second insulator layer formed over the second conductive layer, and a third conductive layer formed over the second insulative layer. The first and third conductive layers are commonly connected.

According to an associated method for making a semiconductor device with a capacitor structure one embodiment includes forming a first conductive runner on a first insulative layer and forming a second conductive runner above the first conductive runner. A stack of alternating conductor and dielectric layers is formed between the first conductive runner and the second conductive runner and an opening is etched in an upper-most of the conductive layers. The opening is extended through an adjoining dielectric layer to a first underlying conductor layer.

Brief Description Of The Drawings

Numerous advantages of the invention will be apparent when the following detailed description of the invention in conjunction with the accompanying drawings.

### Detailed Description

Like numbers refer to like elements throughout the drawings while it should be noted that various features illustrated in the figures are not drawn to scale with one another.

With reference to the view of Figure 1, the invention is described with respect to formation and connection of an exemplary capacitor structure formed in three levels of interconnect metallization. A portion of an integrated circuit structure 10 is shown in partial cross section to provide details of the invention in a metallization structure. The metallization structure is formed over a semiconductor layer (not illustrated) which typically will have a plurality of transistors in the surface thereof. In this exemplary embodiment, several upper levels of metal interconnect, such as Al or Cu runners, are formed over the semiconductor layer according to a dual Damascene fabrication process. Specifically, a portion of the integrated circuit structure 10 is shown in Figure 1 to include three sequentially formed levels of metallization 20, 30 and 40. One or more additional levels of metallization may be formed below level 20 and one or more additional levels of metallization may be formed above level 40. Generally, the metal runners in each level are formed along a plane such as illustrated by line 42 along level 20. For purposes of illustrating the invention a capacitor structure 50 is electrically connected to conductors in the illustrated levels of metallization. The capacitor structure 50 includes alternating layers of conductor and insulator formed in vertical alignment with respect to an underlying plane such as plane 42 or the plane of the surface on which the structure is formed. The structure 50 is wired to provide two capacitors in parallel. Three conductor layers 52, 54, and 56 are isolated from one another by two intervening dielectric layers. One dielectric layer 58 is formed between conductors 52 and 54 and the other dielectric layer 60 is formed between conductor layers 54 and 56.

In the illustrated structure 50 the conductor layer 54 is a capacitor plate common to a first capacitor formed with layers 52 and 58 and a second capacitor formed with layers 56 and 60. A via portion 64 of metallization level 40 contacts the conductor layer 54 to provide a common terminal for both capacitors. Another

via portion 66 of metallization level 40 makes connection with the conductor layer 56 to provide a second terminal for the capacitor formed by layers 54, 56 and 60. A conductor runner portion 68 of metallization level 30 provides connection to the conductor plate layer 52 to provide a second connection the capacitor formed by layers 52, 54 and 58.

A via portion 72 in metallization level 30 connects the conductive runner portion 68 to a conductive runner 74 in metallization level 20. The conductor runner 74 is connected through another via portion 72 to conductive runner portion 76 of level 30. A via portion 78 of level 40 connects the conductive runner portion 76 to the conductive runner 82 of level 40 to effect contact through the via portion 66 to the capacitor conductor 56. A via portion 94 (associated with an overlying level of metallization) provides connection of the plates 52 and 56 to other circuitry not illustrated. Alternately, this connection could be made to a lower level of metallization through the conductive runner 74 of level 20. A via portion 96 (also associated with an overlying level of metallization) provides connection of the common plate 54 through a conductive runner 98 of level 40 to other circuitry not illustrated.

The Damascene structure within which the exemplary capacitor 50 is formed is well known and is only briefly described. Generally, the exemplary embodiments, each level of metallization is formed with an initial deposit of a dielectric layer such as the layer 70 of Figure 2. The level 20 of metallization is completed prior to formation of the capacitor structure 50. The layer 70 of dielectric material will typically be multi-layered, formed with an etch stop such as silicon nitride and planarized by chemical mechanical polishing (CMP). Desired configurations of the Cu conductor lines are patterned and etched in the dielectric material to form trench-like openings therein. Commonly, conductive barrier material (not illustrated) such as Ta, TaN or TiN is deposited along the surfaces of the etched opening to prevent migration of copper which is subsequently deposited in the openings. The barrier metal may be formed with chemical vapor deposition (CVD) or physical vapor deposition (PVD).

The Cu deposition is initiated with deposit of a seed layer on the barrier material, followed by electro-plating of Cu (e.g., from Copper sulfate) to fill the openings. For dual Damascene structures such as the illustrated level 20, both the via portion (providing connection between different levels of metallization) and the conductor portion (providing conductor runners within a level of metallization) are formed in sequential pattern and etch steps, followed by deposit of the barrier layer material, a seed layer and then an electro-deposition of the Cu to completely fill the via portions and the conductor member portions of the openings. After Cu deposition, an anneal may be provided to stabilize the micro structure. The structure is polished to remove excess copper and barrier metal from the surface of the dielectric layer 70. This sequence is repeated for each level of metallization until the final copper layer of interconnection is passivated and the structure is prepared for packaging and assembly.

Once the dual Damascene level 20 is completed the layers of conductor 52, 54, and 56 and intervening dielectric layers 58 and 60 are deposited. See Figure 3. The conductor layers 52, 54, 56 may be formed of sputtered Ta or TaN or TiN. These layers may be deposited by physical vapor deposition (PVD) or chemical vapor deposition (CVD). Preferably, the conductor layer 52 will comprise a Ti/TiN or Ta/TaN stack to provide a diffusion barrier and assure suitable adhesion of the conductor layer 52 with the underlying dielectric layer 70. By way of example, a Ti/TiN stack having approximately 20 nm of Ti and approximately 40 nm of TiN, may be deposited by a sequential sputter at 400C, followed by an anneal. The layers 54 and 56 may also be deposited by sputter techniques with the identified materials. However, a wide variety of other conductive materials are suitable. The dielectric layers 58 and 60 may be silicon oxides deposited by CVD. The oxide may be formed from silane. Alternately, the dielectric layers 58 and 60 may be formed of Ta<sub>2</sub>O<sub>5</sub>. Other insulator materials may be chosen based on desired dielectric constants and requirements regarding minimum current leakage.

With reference to Figures 4 and 5, the upper most conductor layer 56 is patterned and etched to remove a portion thereof and begin formation of an opening 88 to provide electrical connection to the underlying layer 54. After the opening 88

is formed through the layer 56 for connection to the layer 54 all of the layers 52, 54, 56, 58 and 60 are patterned and etched in vertical alignment to fully define the capacitor structure 50. That is, the etch defines vertically aligned layers with respect to an underlying plane such as the plane 42 or the plane along the surface of the dielectric layer 70 on which the structure 50 is formed. See next Figure 6, which illustrates a 60 nm barrier layer 80 of silicon nitride deposited on the exposed portions of layers 52, 54, 56, 58 and 60 as well as the dielectric layer 70 and exposed regions of Cu in the metallization level 20. See Figure 5.

With reference to Figure 6 another dielectric layer 90 is formed over the structure 10 by a conformal deposition such as high density plasma (HDP) deposition of silicon oxide. The dielectric layer 90 is planarized by CMP, or by metal topographic reduction (MTR), wherein deposit of photoresist over low regions is followed by a standard etch. The planarized structure, ready for formation of the metallization level 40, is illustrated in Figure 7.

The via portions 64 and 66 and conductor members 82 and 98 of metallization level 40 are then formed in the dielectric layer 90 as illustrated in Figure 1.

The capacitor structure 50 may also be connected in the circuit structure 10 with two levels of interconnect conductors as illustrated in Figure 8. A lower conductor level 30 includes a runner portion 124 effecting connection between lower plate 52 and a via portion 92 of level 40. Other connections are as described with regard to Figure 1.

In other embodiments of the invention stacks of three, four and more capacitors can be fabricated in parallel connection with such stacks formed between two levels of conductor. See Figure 9 which illustrates a stack comprising five conductor layers 122 sequentially deposited with intervening dielectric layers 124 positioned between pairs of layers 120 to provide capacitor dielectrics. Connections to individual layers 122 are made through via portions 126 and conductive runners 120, 123 and 124 to configure four capacitors connected in parallel.

The principles shown in dual Damascene embodiments may also be readily applied to Al interconnect in a conventional subtractive metal etch process. See

Figure 10 which illustrates the capacitor structure 250 including three sequentially formed metal layers 252, 254, and 256 with two intervening dielectric layers 262 positioned between pairs (252, 254) and (254, 256) of layers to provide capacitor dielectric. The structure 250 is connected to configure two parallel capacitors. The lowest level 252 metal layer may be a runner in a level 270 of Al interconnect comprising Al - Cu alloy with an under-layer of Ti/TiN providing adhesion and a barrier against diffusion. The level 270 is formed over a dielectric layer 272. The layers 254 and 256 may be deposited TiN. A second level 280 of Al interconnect is formed above the structure 250 in a dielectric layer 284. Contacts 286 extend through an interlevel dielectric layer 288 to configure the parallel capacitors in connection with two runners 290 and 292 in level 280. Alternately, all of the layers of the capacitor structure 250 may be formed in vertical alignment, with the contact between runner 290 and layer 252 made through a connection to a metal runner below the level 270 (not illustrated).

An architecture has been described which is useful for high density formation of capacitor structures in integrated circuits. Application of the disclosed design and fabrication methods may be made to a variety of digital and analog circuit applications, including memory circuits which utilize capacitors and analog circuitry which demands large values of capacitance. The specific metal and insulator materials disclosed are exemplary, as are the specific interconnect patterns shown for configuring parallel capacitors. However, the principles disclosed herein provide a basis for practicing the invention in a variety of ways on a variety of circuit structures, including structures formed with other materials, such as compound structures. Numerous variations will be apparent to those skilled in the art. Thus, other constructions, although not expressly described herein do not depart from the scope of the invention which is only limited by the claims which follow.

#### 4. Brief Description of Drawings

Figure 1 illustrates in partial cross-sectional view one embodiment of the invention;

Figures 2-7 illustrate fabrication steps leading to formation of the Figure 1 embodiment;

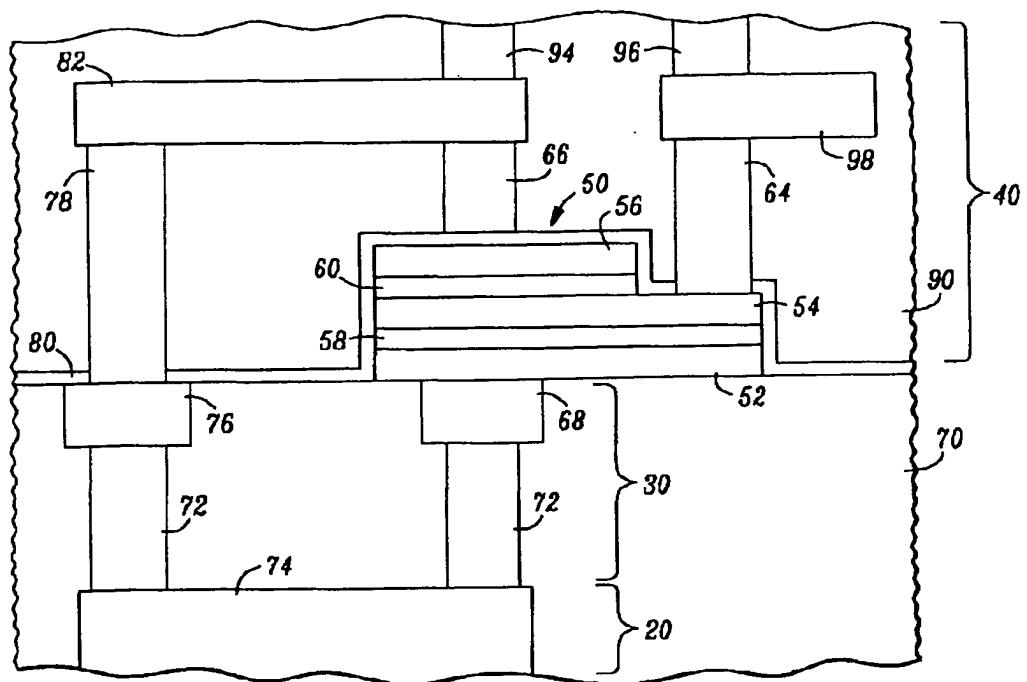
Figure 8 illustrates an alternate preferred embodiment of the invention;

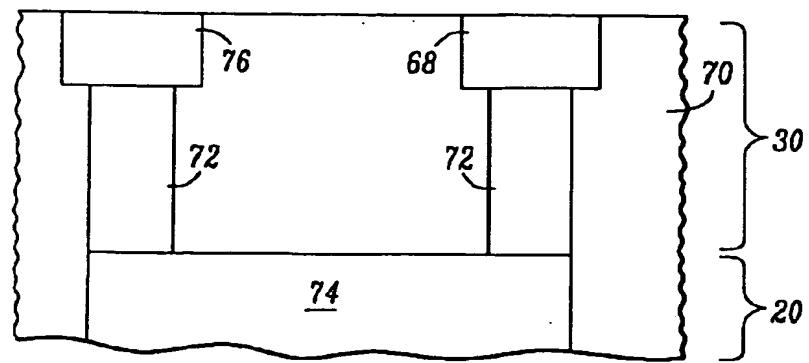
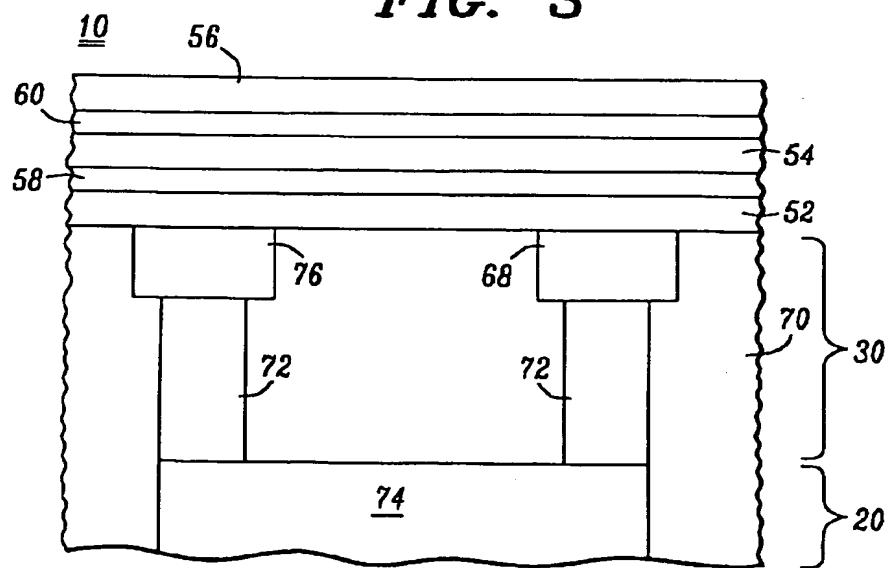
Figure 9 illustrates another alternate embodiment of the invention; and

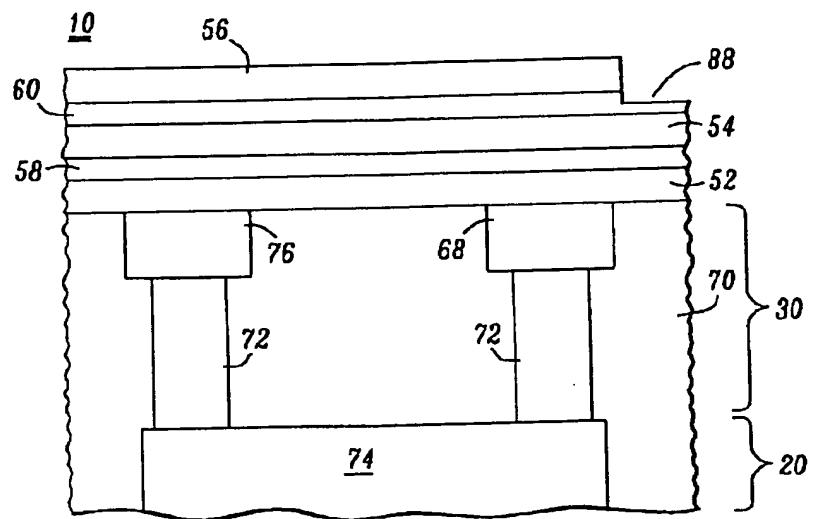
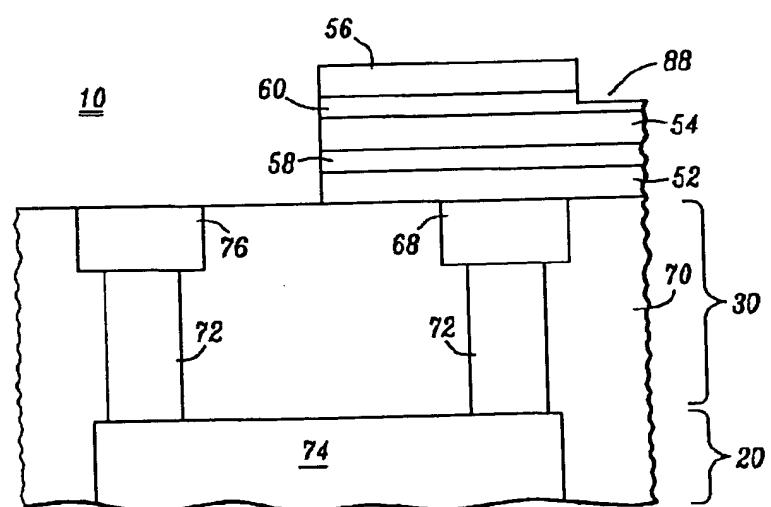
Figure 10 illustrates still another alternate embodiment of the invention.

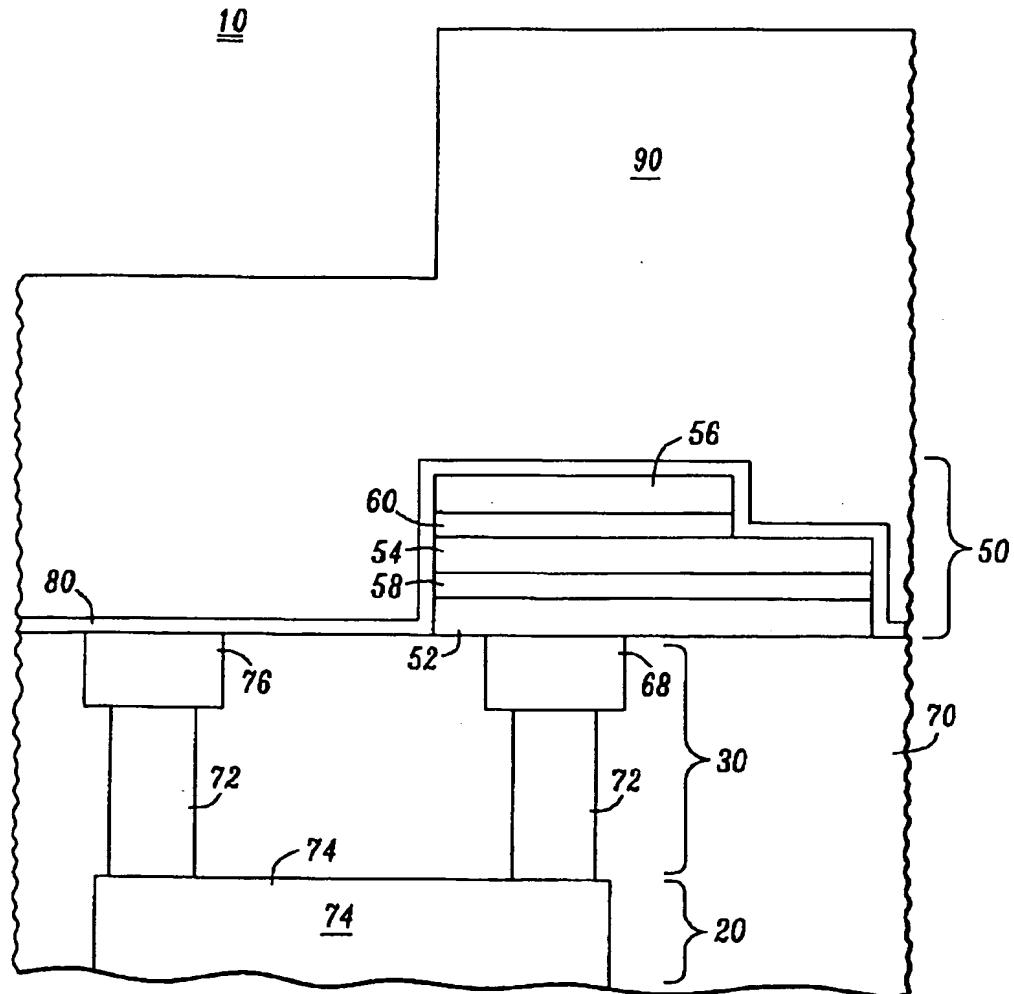
10

FIG. 1



10**FIG. 2**10**FIG. 3**

**FIG. 4****FIG. 5**

**FIG. 6**

10

FIG. 7

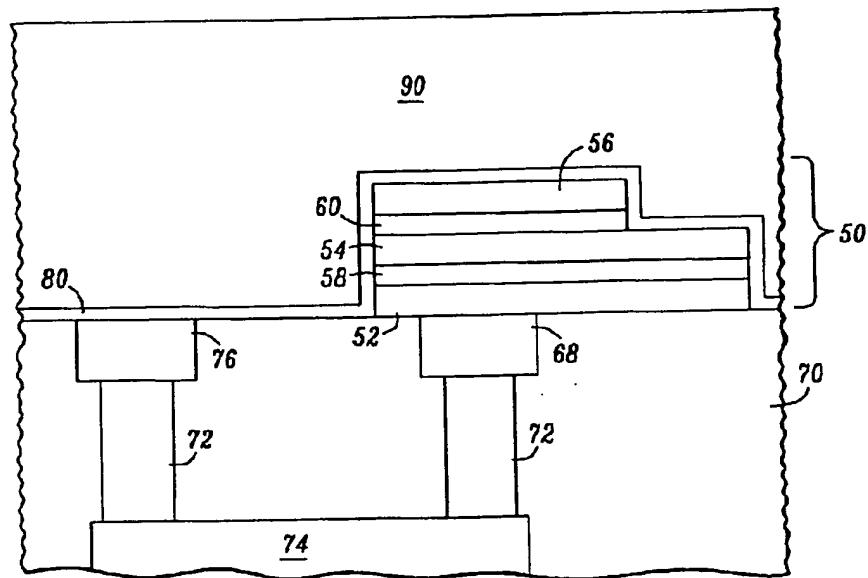
10

FIG. 8

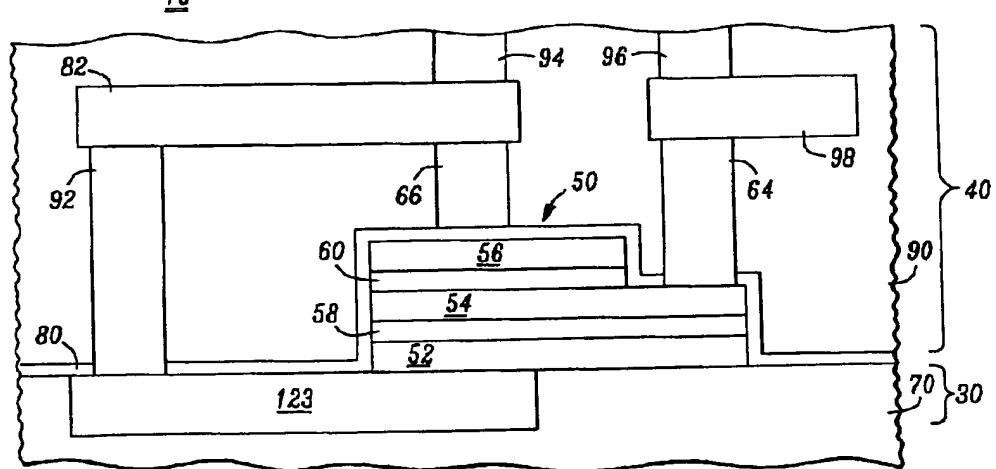


FIG. 9

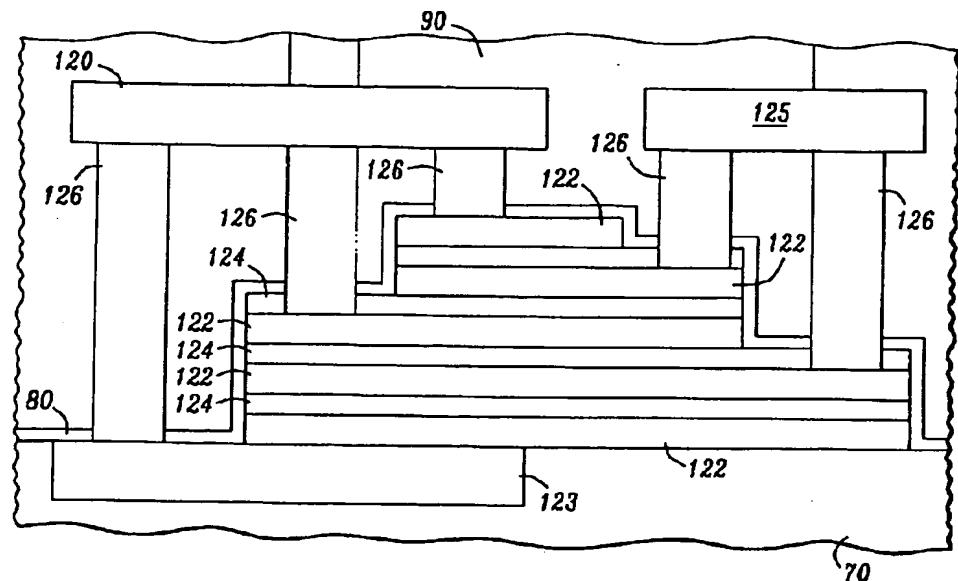
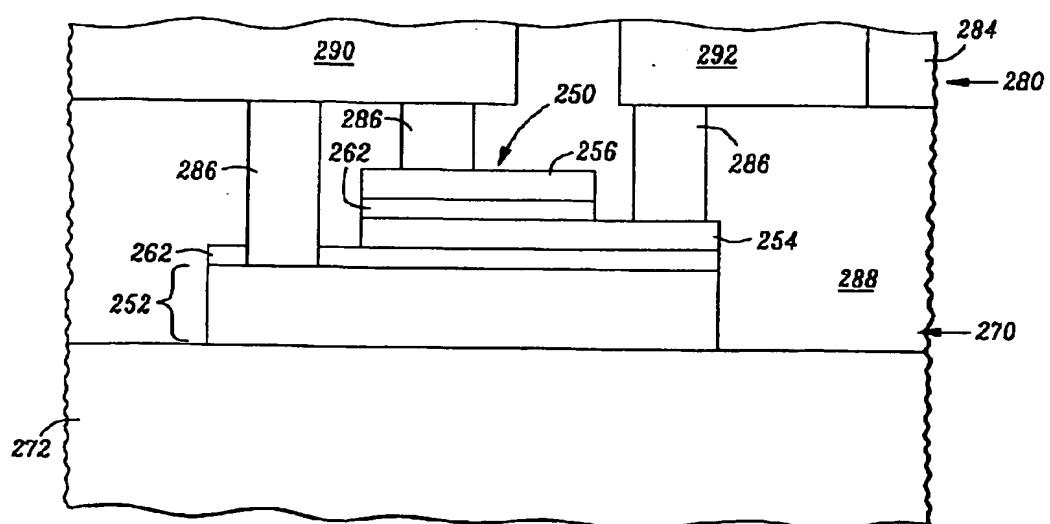


FIG. 10



1. Abstract

2. Representative Drawing

FIG. 1

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

---

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**